

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-77297
(P2001-77297A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 25/065		H 0 1 L 25/08	B
25/07			
25/18			

審査請求 未請求 請求項の数 3 O L (全 7 頁)

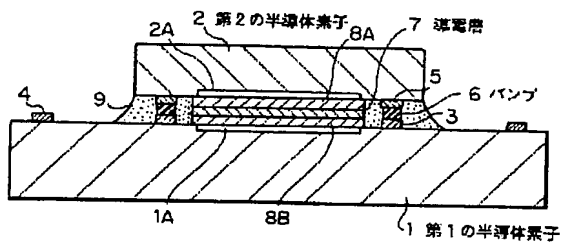
(21) 出願番号	特願平11-252449	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成11年9月7日(1999.9.7)	(72) 発明者	小林 寛隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	100086298 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 装置サイズを大型化することなく、2つの半導体素子間に誘起されるクロストークノイズを低減する。

【解決手段】 第1の半導体素子1と、この第1の半導体素子1に対向状態（フェースダウン）で搭載されるとともに、第1の半導体素子1にバンプ6を介して電氣的に接続された第2の半導体素子2と、第1、第2の半導体素子1、2間に介装された導電層7とを備える。



【特許請求の範囲】

【請求項1】 第1の半導体素子と、
前記第1の半導体素子に対向状態で搭載されるとともに、前記第1の半導体素子にバンプを介して電氣的に接続された第2の半導体素子と、
前記第1、第2の半導体素子間に介装された導電層とを備えることを特徴とする半導体装置。

【請求項2】 前記導電層を、前記第1、第2の半導体素子の少なくともいずれか一方のグランド用電極パッドに電氣的に接続してなることを特徴とする請求項1記載の半導体装置。

【請求項3】 第1、第2の半導体素子の少なくともいずれか一方の電極パッド上にバンプを形成する工程と、
前記第1、第2の半導体素子の一方の素子形成領域面に、導電層を有するフィルム部材を貼り付ける工程と、
前記第1、第2の半導体素子を互に対向状態で位置合わせして加熱および加圧することにより、前記第1、第2の半導体素子間に前記導電層を介在させた状態で、前記第1、第2の半導体素子を前記バンプを介して電氣的に接続する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2つの半導体素子を互に対向させてバンプ接合した構成を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、電子機器は、ますます小型化、高機能化、動作速度の高速化、さらにはモジュール化が進行している。また、各種の半導体装置の中には、半導体素子上に別の半導体素子を搭載してなる多段の素子ユニットを、一つのパッケージ内に組み込んだ構成のものも提案されている。

【0003】図6は従来におけるこの種の半導体装置の構成例を示す要部断面図である。図6においては、第1の半導体素子51上に第2の半導体素子52が搭載されている。第1の半導体素子51は、第2の半導体素子52よりも外形寸法が大きく設定され、その略中央部を素子搭載領域としている。この素子搭載領域には複数のインナー電極パッド53が形成されている。また、素子搭載領域よりも外側の素子周縁部には複数のアウター電極パッド54が形成されている。これらのインナー電極パッド53とアウター電極パッド54とは、第1の半導体素子51上に形成された配線パターン（不図示）を介して電氣的に接続されている。また、第1の半導体素子51上にはバッシベーション膜55が形成されている。

【0004】一方、第2の半導体素子52の周縁部には複数の電極パッド56が形成されている。また、第2の半導体素子52上にはバッシベーション膜57が形成されている。第2の半導体素子52はその素子形成領域を

下向きにした所謂フェースダウンの状態第1の半導体素子51の素子搭載領域に搭載されている。また、この素子搭載状態のもとでは、第1の半導体素子51のインナー電極パッド53とこれに対応する第2の半導体素子52の電極パッド56とが、バンプ（金属突起）58を介して電氣的かつ機械的に接続（バンプ接合）されている。さらに、第1、第2の半導体素子51、52間には絶縁樹脂59が介装されている。

【0005】次に、従来の半導体装置を製造するにあたって、特に素子同士を接合する際の製造工程について説明する。まず、第1、第2の半導体素子51、52上の少なくともいずれか一方、例えば図7（a）に示すように、第2の半導体素子52上にEB蒸着法等を用いて、Ti（チタン）、Pd（パラジウム）、Au（金）等のバリアメタル層60を形成する。次に、図7（b）に示すように、第2の半導体素子52の電極パッド56を除く部分をフォトリソグラフィ技術を用いてフォトレジスト61により覆う。次いで、図7（c）に示すように、第2の半導体素子52の電極パッド56上に電界めっき法等により、Pd、Sn（スズ）をめっきしてバンプ58部分を形成する。

【0006】続いて、図7（d）に示すように、先に形成したフォトレジスト61を除去するとともに、不要なバリアメタル層60を王水、フッ酸等により除去することにより、第2の半導体素子52の電極パッド56上にバンプ58を形成する。次いで、図7（e）に示すように、互いの電極パッド53、56同士を位置合わせして第1の半導体素子51の素子搭載領域（略中央部）に第2の半導体素子52を搭載し、かつ加圧・加熱ツール62により加圧および加熱を行う。最後は、図7（f）に示すように、第1、第2の半導体素子51、52間に液状の絶縁樹脂59を注入した後、これを硬化させる。

【0007】

【発明が解決しようとする課題】しかしながら上記従来の半導体装置では、第1、第2の半導体素子51、52が互いに近接して対向した構造となっているため、各々の半導体素子51、52上の信号線を通る信号が相互に干渉しあってクロストークノイズを誘起し、これによって半導体装置が誤動作を起こすという問題があった。

【0008】この対策として、特開平09-134998号公報には、第1の半導体素子51の配線層及び素子形成領域を、第2の半導体素子52の素子形成領域により覆われる部分以外の部分に形成することにより、第1、第2の半導体素子51、52間に誘起されるクロストークノイズを低減する技術が開示されている。

【0009】しかしながら上記公報に開示された技術では、第1の半導体素子51の素子搭載領域が有効利用されず、第1の半導体素子51の外形サイズが大きくなって半導体装置の大型化を招くという難点があった。

【0010】本発明は、上記課題を解決するためになさ

れたもので、その目的とするところは、装置サイズを大型化することなく、2つの半導体素子間に誘起されるクロストークノイズを低減することができる半導体装置とその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明に係る半導体装置では、第1の半導体素子と、この第1の半導体素子に対向状態で搭載されるとともに、第1の半導体素子にバンプを介して電氣的に接続された第2の半導体素子と、これら第1、第2の半導体素子間に介装された導電層とを備えた構成を採用している。

【0012】この半導体装置においては、第1、第2の半導体素子間に導電層を介装したことにより、各々の半導体素子の素子形成領域が互に対向状態で近接していても、一方の半導体素子から他方の半導体素子への信号の漏洩が導電層によって抑制されるようになる。

【0013】また、本発明に係る半導体装置の製造方法では、第1、第2の半導体素子の少なくともいずれか一方の電極パッド上にバンプを形成する工程と、第1、第2の半導体素子の一方の素子形成領域面に、導電層を有するフィルム部材を貼り付ける工程と、第1、第2の半導体素子を互に対向状態に位置合わせして加熱および加圧することにより、第1、第2の半導体素子間に導電層を介在させた状態で、第1、第2の半導体素子をバンプを介して電氣的に接続する工程とを有するものとなっている。

【0014】この半導体装置の製造方法においては、第1、第2の半導体素子間に導電層が介装された構造のものが得られる。かかる構造の半導体装置にあっては、各々の半導体素子の素子形成領域が互に対向状態で近接していても、一方の半導体素子から他方の半導体素子への信号の漏洩が導電層によって抑制されるようになる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。図1は本発明の実施形態に係る半導体装置の要部（素子接合部）を示す断面図である。図1においては、第1の半導体素子1上に第2の半導体素子2が搭載されている。第1の半導体素子1は第2の半導体素子2よりも外形寸法が大きく設定され、その略中央部を素子搭載領域としている。この素子搭載領域の内側には素子形成領域1Aが設けられている。また、素子搭載領域内には、上記素子形成領域1Aの外側に位置して複数のインナー電極パッド3が形成されている。これらのインナー電極パッド3は、第1の半導体素子1の素子搭載領域内に所定のピッチで枠状に配置されている。

【0016】また、第1の半導体素子1には、上記素子搭載領域の外側の素子周縁部に位置して複数のアウター電極パッド4が形成されている。これらのアウター電極パッド4は、上記第1、第2の半導体素子1、2の対を

同一のパッケージ内に組み込んだときに、例えば外部接続用の端子部（リード端子等）にワイヤボンディングやインナーリードボンディング、バンプ等によって電氣的に接続される引出用電極となるものである。また、第1の半導体素子1上には図示せぬパッシベーション膜が形成されている。

【0017】一方、第2の半導体素子2の周縁部には複数の電極パッド5が形成され、これらの電極パッド5で囲まれる部分に素子形成領域2Aが設けられている。また、第2の半導体素子2上には図示せぬパッシベーション膜が形成されている。第2の半導体素子2はその素子形成領域2Aを下向きにしたフェースダウン状態で第1の半導体素子1の素子搭載領域に搭載されている。この素子搭載状態のもとでは、第1の半導体素子1のインナー電極パッド3と第2の半導体素子2の電極パッド5とが、バンプ6を介して電氣的かつ機械的に接続されている。これにより、第1の半導体素子1と第2の半導体素子2が互に対向状態で重ね合わせてバンプ接合されている。

【0018】また、第1、第2の半導体素子1、2間には導電層7が介装されている。この導電層7は、各々の素子形成領域1A、2Aとほぼ同じか、それよりも大きな面積をもって形成されていることが好ましく、更には電極パッド3、5やこれにつながる配線パターンとの間で電氣的な絶縁を保持し得る範囲で出来るだけ広く形成されることが望ましい。

【0019】上記導電層7は、例えばCu（銅）、Ni（ニッケル）、Au、Ag（銀）、Pd、Al（アルミニウム）等の金属材料や有機系の導体材料を用いて層状（ベタ）に形成されたものとなっている。導電層7の上下には、それぞれ接着層8A、8Bが設けられている。このうち、一方（上側）の接着層8Aは第2の半導体素子2の素子形成領域2A面に密着した状態で設けられ、他方（下側）の接着層8Bは、第1の半導体素子1の素子形成領域1A面に密着した状態で設けられている。

【0020】さらに、第1、第2の半導体素子1、2間には、上記導電層7および接着層8A、8Bの配設領域を除いて絶縁樹脂9が介装されている。

【0021】続いて、本発明の実施形態に係る半導体装置を製造するにあたって、特に素子同士を接合する際の製造工程について説明する。

【0022】まず、図2（a）に示すように、第2の半導体素子2の電極パッド5上に電解めっき法や無電界めっき法等を用いて、例えばNiコアAu、またはAuのみからなるバンプ6を形成する。このバンプ6は、ワイヤボンディングツール（キャビラリ）を用いたスタッドバンプ法により得られるボールバンプでもよいし、ソルダーリング法による得られるはんだバンプ（ソルダバンプ）でもよい。ボールバンプの場合は、Au、Cu、Pd、Agまたはこれらを含む合金等の金属材料によりバ

ンブ6が構成される。また、はんだバンプの場合は、Sn、PbまたはIn（インジウム）、Agヒスマス等の金属材料によってバンプ6が構成される。さらに、上記バンプ形成法以外にも、転写バンプ法等によってバンプ6を形成することも可能である。

【0023】バンプ6の径は、NiコアAuバンプ、Auバンプ、ボールバンプの場合は5μm～100μm、はんだバンプの場合は20μm～200μm程度のものを用いる。なお、バンプ6については、第1の半導体素子1のインナー電極パッド3上に形成してもよいし、第1、第2の半導体素子1、2の電極パッド3、5上の両方に形成してもよい。

【0024】次に、図2（b）に示すように、第2の半導体素子2の素子形成領域2A面に、導電層7と接着層8A、8Bを一体化したフィルム部材10を貼り付ける。このフィルム部材10は、例えば図3（a）に示すように、それぞれ片面に接着剤11が塗布された2枚の樹脂フィルム（ポリイミドフィルム等）12の間に、銅箔等からなる導電層7を挟み込んで圧着し、かつその両面に、図3（b）に示すように接着剤13を塗布した構成のものである。この場合、接着層8A、8Bは、2枚の樹脂フィルム12とその両面に塗布された接着剤11、13により形成されることになる。また、接着剤11、13としては、ポリイミド樹脂等の熱可塑性樹脂や、エポキシ樹脂、シリコン樹脂等の熱硬化性樹脂を用いることができる。なお、フィルム部材10については第1の半導体素子1の素子形成領域1A面に貼り付けるようにしてもよい。なお、フィルム部材10については、例えば銅箔等の金属箔の両面に接着層を形成したものでもよいし、樹脂層にめっき等で金属層（導電層）を形成してなるフィルムに対し、その両面に接着層を形成したものでもよい。また、金属箔と樹脂フィルムを接着層を用いた接着し、かつそのフィルムの両面に接着層を形成したものでもよい。さらに、金属箔と樹脂から形成されたフィルムの金属箔側に接着剤を用いて樹脂層を接着し、その両側に接着層を形成したものでもよい。また、素子と接着するための接着層については、予め素子側に塗布しておくことも可能である。

【0025】次いで、図3（c）に示すように、第1の半導体素子1の素子搭載領域の直上に第2の半導体素子2を対向して配置するとともに、互いに対応する第1、第2の半導体素子1、2の電極パッド3、5同士を位置合わせする。

【0026】続いて、図4（a）に示すように、加圧・加熱ツール14を用いて、第1、第2の半導体素子1、2を、例えばバンプ1個あたり0.1グラム～200グラム程度の加圧力、及び150℃～450℃程度の温度で加圧加熱することにより、金属合金接合する。はんだ合金接合の場合は60℃～270℃程度の温度、および第2の半導体素子2の自重から数グラム程度の圧力で加

圧加熱する。

【0027】このとき、第2の半導体素子2に上記フィルム部材10（図3（b）参照）が貼り付けられていることから、その片面に塗布された接着剤13（図3（b）参照）が加圧・加熱ツール14による加圧作用によって第1の半導体素子1の素子形成領域1A面に接することにより、フィルム部材10の片面が上記素子形成領域1A面に貼り付けられる。これにより、第1、第2の半導体素子1、2間に導電層7を介在させた状態で、第1の半導体素子1の素子搭載領域に第2の半導体素子2が搭載される。

【0028】最後は、図4（b）に示すように、第1、第2の半導体素子1、2間に、例えばディスペンスノズル15によって液状の絶縁樹脂9を注入した後、これを硬化させる。ちなみに、フィルム部材10の片面に塗布した接着剤13が加圧・加熱ツール14による加圧作用によって十分に広がり、この広がった接着剤13で素子間が満たされる場合においては、絶縁樹脂9の注入・硬化の工程を行う必要はない。

【0029】このような製造工程を経て得られる本実施形態の半導体装置においては、第1、第2の半導体素子1、2間に互いの素子形成領域1A、2Aを遮蔽する形で導電層7が介装された状態となる。これにより、第1、第2の半導体素子1、2を実際に駆動した際には、各素子1、2から漏洩した様々な電圧レベルの信号が導電層7に衝突するようになる。このとき、一方の半導体素子（例えば、第1の半導体素子1）から漏洩した信号は、他方の半導体素子（例えば、第2の半導体素子2）に直に作用することなく、導電層7全体でレベル的に平均化される。

【0030】これにより、半導体素子1、2の駆動時においては、導電層7の電位がグラウンドレベルまたはそれに近いレベルに保持され、これによって導電層7が素子間での信号の干渉を抑制する機能、すなわち電氣的なシールド機能と同等の機能を果たすようになる。その結果、第1、第2の半導体素子1、2間に誘起されるクロストークノイズを低減することが可能となる。また、第1の半導体素子1の素子搭載領域内に素子形成領域1Aが設けられ、これによって素子搭載領域の有効利用が図られているため、第1の半導体素子1の外形サイズを極力小さくして半導体装置の大型化を回避することができる。

【0031】図5は本発明の実施形態に係る半導体装置の応用例を示すもので、（a）はその要部平面図、

（b）は（a）におけるX-X断面図である。図5においては、第1、第2の半導体素子1、2間に介装された導電層7のコーナー部に延在部7Aが一体に形成されている。また、この延在部7Aの形成位置に対応するかたちで、第2の半導体素子2のコーナー部にグラウンド用の電極パッド（以下、グラウンド用電極パッドという）5A

7
が、また第1の半導体素子1の素子搭載領域のコーナー部にもグランド用のインナー電極パッド（以下、グランド用電極パッドという）3Aが形成されている。さらに、第2の半導体素子2のグランド用電極パッド5A上にはパンプ6Aが形成され、これに対応する第1の半導体素子1のグランド用電極パッド3A上にもパンプ6Bが形成されている。そして、導電層7の延在部7Aを上記パンプ6A、6Bで挟むようにしてこれらを熱圧着することにより、導電層7をグランド用電極パッド3A、5Aに電気的に接続した構成となっている。

【0032】このような構成を採用することにより、第1、第2の半導体素子1、2間で導電層7がグランド電位に保持されるようになるため、第1、第2の半導体素子1、2から漏洩した信号を導電層7によってシールドすることができる。その結果、第1、第2の半導体素子1、2間に誘起されるクロストークノイズを、より一層低減することが可能となる。

【0033】なお、ここでは半導体素子1、2間に介装した導電層7の延在部7Aを上下からパンプ6A、6Bで挟み込むようにして、両素子のグランド用電極パッド3A、5Aに導電層7を電気的に接続した構成としているが、本発明はこれに限らず、一方の半導体素子のグランド用電極パッド3Aまたは5Aにのみ導電層7を電気的に接続したものであっても同様の効果を得ることができる。

【0034】

【発明の効果】以上説明したように、本発明の半導体装置によれば、第1、第2の半導体素子間に導電層を介装したことにより、各々の半導体素子の素子形成領域が互に対向状態に近接していても、一方の半導体素子から*

* 他方の半導体素子への信号の漏洩を導電層によって抑制することができる。これにより、装置サイズを大型化することなく、それらの素子間に誘起されるクロストークノイズを低減し、半導体装置の誤動作を防止することが可能となる。

【0035】また、本発明の半導体装置の製造方法によれば、第1、第2の半導体素子間に導電層が介装された構造のものが得られる。かかる構造の半導体装置においては、各々の半導体素子の素子形成領域が互に対向状態で近接していても、一方の半導体素子から他方の半導体素子への信号の漏洩を導電層によって抑制することができる。したがって、動作信頼性に優れた半導体装置を製造することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の要部断面図である。

【図2】本発明の実施形態に係る半導体装置の製造工程図（その1）である。

【図3】本発明の実施形態に係る半導体装置の製造工程図（その2）である。

【図4】本発明の実施形態に係る半導体装置の製造工程図（その3）である。

【図5】本発明の実施形態に係る半導体装置の応用例を示す図である。

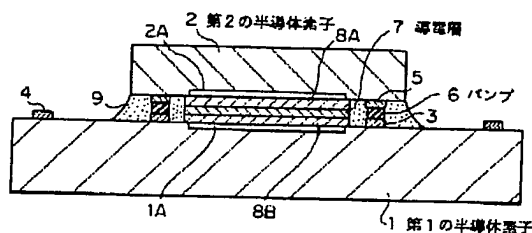
【図6】従来の半導体装置の要部断面図である。

【図7】従来の半導体装置の製造工程図である。

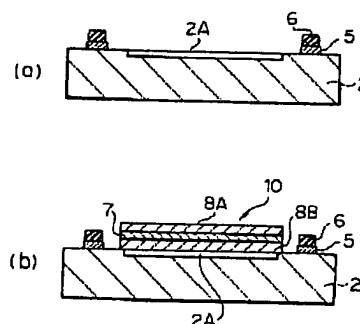
【符号の説明】

1…第1の半導体素子、2…第2の半導体素子、6…パンプ、7…導電層

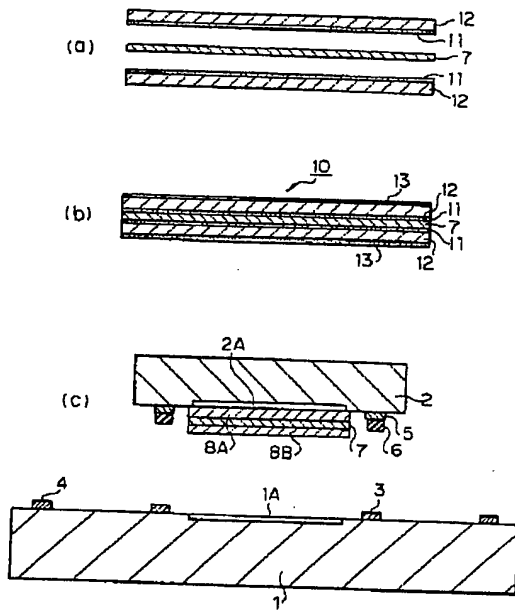
【図1】



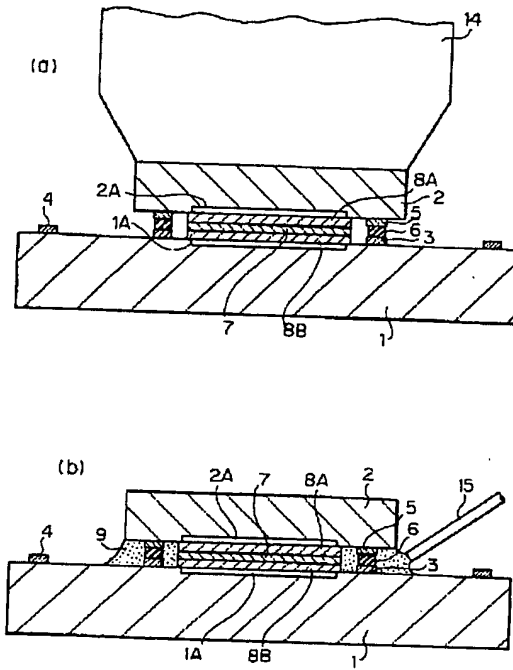
【図2】



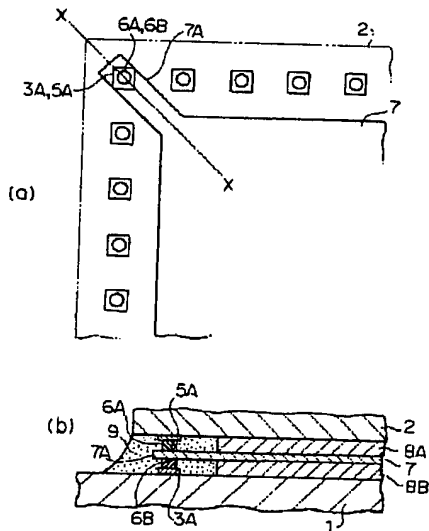
【図3】



【図4】



【図5】



【図6】

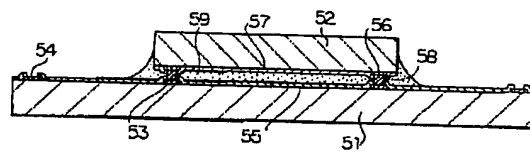


Fig. 1 consists of six cross-sectional views labeled (a) through (f), illustrating the sequential construction of a semiconductor device.
 (a) Shows a substrate with a hatched pattern. A thin layer 56 is on top, followed by a layer 60, then a layer 57, and a top layer 52.
 (b) Layer 61 is added on top of layer 57.
 (c) Layer 58 is added on top of layer 61.
 (d) Layer 53 is added on top of layer 58.
 (e) A thick layer 51 is added below the previous stack, and a layer 55 is added on top of layer 53. A mold 62 is placed over the stack.
 (f) The final structure after removing the mold 62. It shows the stack of layers 56, 60, 57, 61, 58, 53, and 52 on top of layer 51. Additional layers 59 and 54 are shown at the bottom of the stack.